Міністерство освіти і науки України

Львівський національний університет ім. Івана Франка

Факультет прикладної математики

та інформатики

**АРХІТЕКТУРА ОС ТА СХЕМОТЕХНІКА**

**Звіт**

до лабораторної роботи №5 на тему:

**ПОБУДОВА І ДОСЛІДЖЕННЯ РЕГІСТРОВИХ СХЕМ**

Виконав:

студент гр. ПМО-11

Кравець Н. А.

Прийняв:

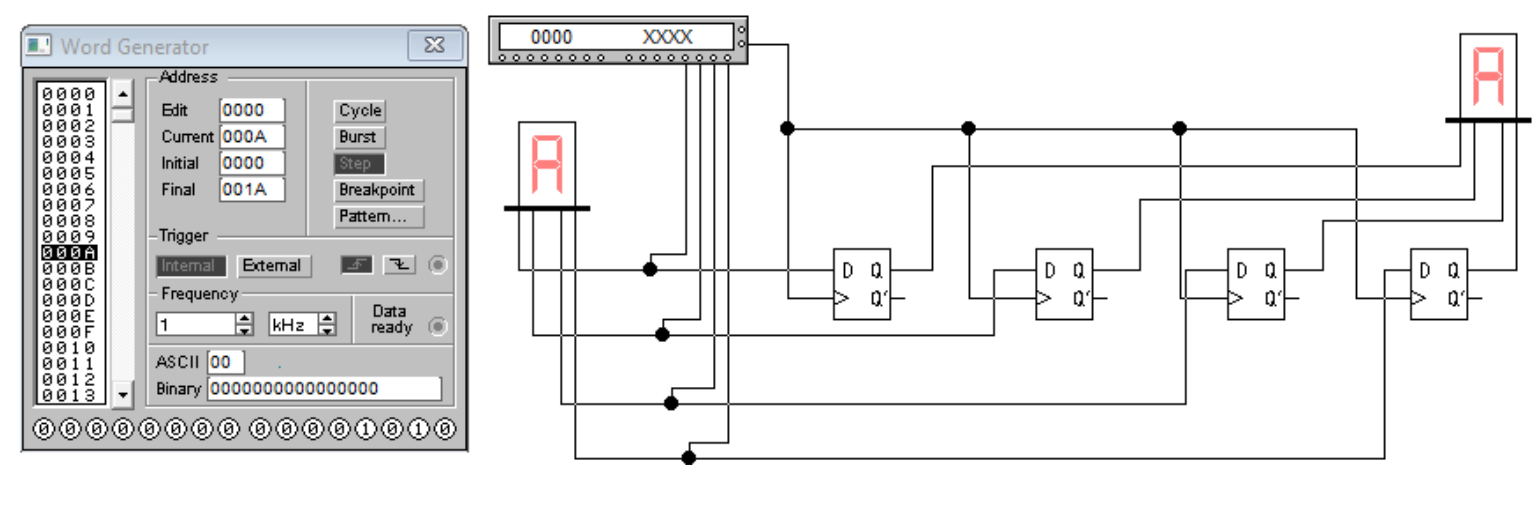
Рикалюк Р.Є.

Львів – 2021

**Тема:** Побудова і дослідження регістрових схем.

**Мета**: З використанням можливостей пакета EWB побудувати логічні схеми регістрових схем на базі тригерних елементів пам’яті. Перевірити роботу схем та створити макроелементи кожної схеми.

**Паралельний регістр:**



Для цього використано:

● Decoded Seven-Segment Display (1 шт)

● D Flip-Flop (4 шт)

● Connector (3 шт)

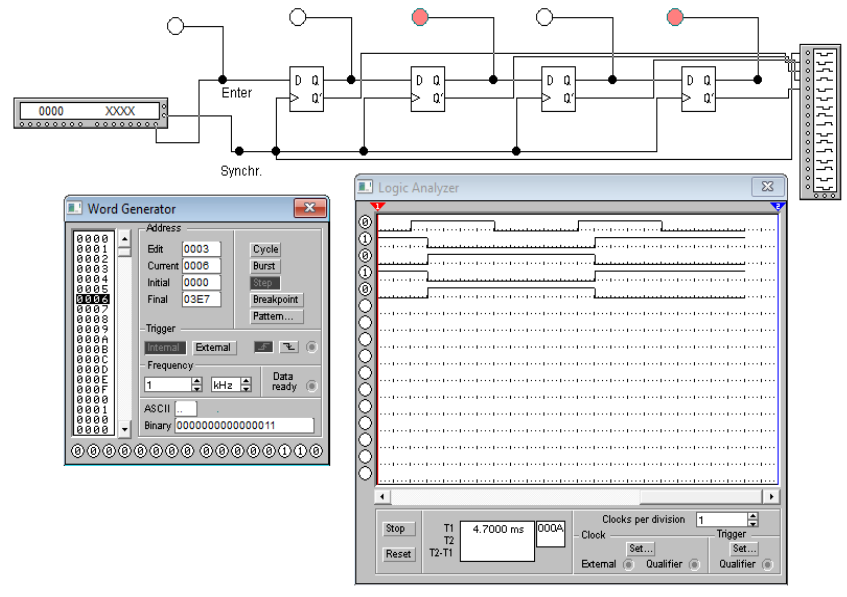
● Word Generator (1 шт)

За допомогою клавіші STEP генератора слів покроково перебрав всі комбінації вхідних сигналів. Результати роботи схеми записав у таблицю істинності.

**Отримана таблиця:**

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **D3** | **D2** | **D1** | **D0** | **T0** | **T1** | **T2** | **T3** | **Result** |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | **0** |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | **1** |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | **2** |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | **3** |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | **4** |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | **5** |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | **6** |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | **7** |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | **8** |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | **9** |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | **A** |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | **B** |
| 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | **C** |
| 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | **D** |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | **E** |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | **F** |

**Послідовний регістр:**



Для цього використано:

● D Flip-Flop (4 шт)

● Connector (9 шт)

● Indicator (5 шт)

● Logic Analyzer (1 шт)

● Word Generator (1 шт)

За допомогою клавіші STEP генератора слів покроково перебрав всі комбінації вхідних сигналів. Результати роботи схеми записав у таблицю істинності.

**Отримана таблиця:**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Enter** | **Q0** | **Q1** | **Q2** | **Q3** |
| 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |

**Висновок:** Виконавши цю лаболаторну роботу я ознайомився із можливостями EWB. І побудував логічні схеми на основі тригерних елементів пам’яті. Також навчився створювати макроелементи.